

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-223847

(43)Date of publication of application : 21.08.1998

(51)Int.Cl.

H01L 27/10  
H01L 27/04  
H01L 21/822  
H01L 27/108  
H01L 21/8242  
H01L 21/8247  
H01L 29/788  
H01L 29/792

(21)Application number : 09-041669

(22)Date of filing : 10.02.1997

(71)Applicant : SHARP CORP

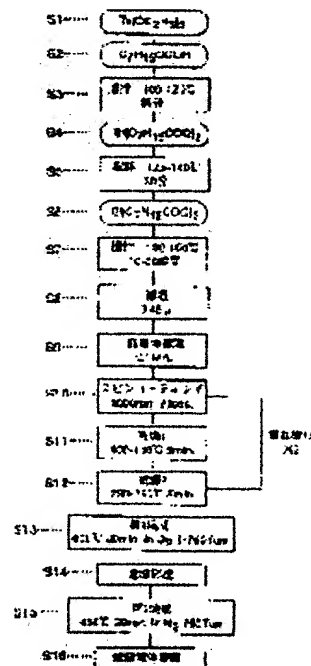
(72)Inventor : USHIKUBO MAHO  
YOKOYAMA SEIICHI  
MATSUNAGA HIRONORI

## (54) MANUFACTURE OF FERROELECTRIC THIN FILM ELEMENT, FERROELECTRIC THIN FILM ELEMENT AND FERROELECTRIC MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a ferroelectric thin film element consisting of a compound film of a Bi layer type structure, which enables a reduction in a film-forming temperature, a reduction of time and the simplification of a production process, the ferroelectric thin film element and a ferroelectric memory device.

SOLUTION: A method of manufacturing a ferroelectric thin film element of a structure, wherein a lower electrode, a ferroelectric thin film and an upper electrode are provided in order on a substrate, comprises a process (S10) of applying a precursor solution, which contains a metallic element constituting a ferroelectrics, on the surface of the above lower electrode formed on the substrate, a process (S11), wherein the applied precursor solution is heated to remove a solvent only from the solution and to dry the precursor solution, a first heat-treating process (S13), wherein the dried precursor is heated in an atmosphere of a gas pressure lower than one atmospheric pressure to form a ferroelectric thin film, and a second heat-treating process (S15), wherein after the upper electrode is formed on the ferroelectric thin film, the upper electrode is heated in a nitrogen atmosphere.



## LEGAL STATUS

[Date of request for examination] 28.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3366212

[Date of registration] 01.11.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the manufacture method of the ferroelectric thin film equipped with a lower electrode, a ferroelectric thin film, and an up electrode in order on a substrate (i) The aforementioned lower electrode is formed on a substrate. on the front face of lower (ii) this electrode Stoving of the precursor solution containing the metallic element which constitutes a ferroelectric is applied and carried out (iii). The 1st heat treatment process which heats to the obtained substrate in low gas pressure atmosphere, and forms a ferroelectric thin film in it from one atmospheric pressure, The manufacture method of the ferroelectric thin film characterized by giving the 2nd heat treatment process heated after forming an up electrode on this ferroelectric thin film.

[Claim 2] The manufacture method of the ferroelectric thin film according to claim 1 performed in the gas pressure atmosphere of 20 or less Torrs in the 1st heat treatment process.

[Claim 3] The manufacture method of the ferroelectric thin film according to claim 1 or 2 which performs the 1st heat treatment process under 600-degree-C or more atmosphere 650 degrees C or less.

[Claim 4] The manufacture method of the ferroelectric thin film according to claim 1 to 3 which performs the 2nd heat treatment process under inert gas atmosphere.

[Claim 5] The manufacture method of a ferroelectric thin film according to claim 1 to 4 that a precursor solution consists of the metaled carboxylate or metaled alkoxide which constitutes a ferroelectric thin film.

[Claim 6] The ferroelectric thin film formed by the way according to claim 1 to 5 a ferroelectric thin film is the bismuth stratified compound which consists of an oxide of either Sr, Bi and Ta or Ti.

[Claim 7] The ferroelectric memory apparatus to which it has the memory cell which consists of one ferroelectric capacitor which consists of the lower electrodes, ferroelectric thin films, and up electrodes which were formed through the insulator layer on one a transistor and this transistor, and were electrically connected with this transistor through the contact plug, and the aforementioned ferroelectric thin film is characterized by the bird clapper from the bismuth layer structure compound formed by the method according to claim 1 to 5.

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the manufacture method, ferroelectric thin film, and ferroelectric memory apparatus of a ferroelectric thin film.

[0002]

[Description of the Prior Art] The ferroelectric thin film is applied to extensive device development from having many functions, such as spontaneous polarization, a high dielectric constant, the electro-optical effect, piezoelectricity effect, and a pyroelectric effect. for example, the pyroelectricity -- using -- an infrared linear array sensor -- moreover, piezoelectric [ the ] -- using -- an ultrasonic sensor -- the electro-optical effect -- using -- an optical modulator -- the high dielectric -- using -- DRAM and the capacitor for MMIC -- \*\* -- it is used in various directions

[0003] Development of the ferroelectric non-volatile memory (FRAM) which operates at high speed with high density with combination with semiconductor memory technology with progress of a thin film coating technology in recent years especially is prosperous. As for the non-volatile memory using the ferroelectric thin film, the high-speed writing / research and development which reads and turns not only replacement of the conventional non-volatile memory but replacement of SRAM and DRAM to utilization as possible memory from the height of low-battery operation and writing / read-out repeat resistance is done briskly.

[0004] Anti-electric field ( $E_c$ ) are small, to such device development, a remanence ( $P_r$ ) is large, and a high ferroelectric material of the repeat resistance of polarization reversal is [ it is a low leakage current and ] required. Since reduction of operating voltage and a semiconductor micro-processing process are furthermore suited, it is desirable to realize the above-mentioned property by the thin film of 200nm or less of thickness. And as a ferroelectric material used for these uses, the oxide material of the perovskite structure represented by PZT (titanic-acid lead zirconate,  $Pb(Ti, Zr)O_3$ ) was in use.

[0005] However, since the material which contains lead as the composition element like PZT has the high vapor pressure of lead or its oxide, lead evaporates at the time of membrane formation, a defect is generated in a film, or when severe, it forms a pinhole. Consequently, when the leakage current increased or polarization reversal was repeated, there was a fault, like defatigation reduction to which the size of spontaneous polarization decreases takes place. In order to have to guarantee especially that after 1015 polarization reversal does not have change of a property about defatigation reduction when it comes to the use as ferroelectric non-volatile memory (FRAM), development of a ferroelectric thin film without defatigation was desired.

[0006] On the other hand, research and development of bismuth layer structure compound material are done in recent years. Bismuth-like structure compound material was discovered by Smolenskii and others in 1959 (G.A.Smolenskii, V.A.Isupov and A.I.Agranovskaya, Soviet Phys.Solid State, 1, 149 (1959)), and a detailed examination was made by Subbarao after that (E.C.Subbarao, J.Phys.Chem.Solids, 23, 665 (1962)). Moreover, Carlos, A.Paz de Araujo and others have reported that this bismuth layer structure compound thin film is suitable for a ferroelectric and high dielectric integrated-circuit application, and that after 1012 polarization reversal or more has especially the outstanding defatigation property that change is not looked at by the property recently (PCT/US 92/No. 10542).

[0007] Moreover, the chemical methods, such as the physical methods, such as a vacuum deposition method, the sputtering method, and the laser ablation method, and a sol gel process which uses an organometallic compound as a start raw material, carries out pyrolysis oxidization of these, and obtains an oxide ferroelectric or the MOD (Metal Organic Decomposition) method, the MOCVD (Metal Organic Chemical Vapor Deposition) method, are used for the manufacture method of a ferroelectric thin film.

[0008] that production of a raw material solution with atomic homogeneous level is possible for a sol gel process or the MOD method in the above-mentioned forming-membranes method, composition control being easy and excelling in repeatability, and special vacuum devices are unnecessary, and membrane formation of a large area is possible at an ordinary pressure -- it is a low cost industrially -- etc. -- it is widely used from the advantage The MOD method of a process as especially shown below also as the membrane formation method of the above-mentioned bismuth layer structure compound thin film is used (PCT/US 93/No. 10021).

[0009] (1) In order to carry out secession removal of alcohol and the remains moisture which carried out reaction generation in the process (2) solvent and the process of (1) which carry out application membrane formation of the precursor solution which consists of a compound alkoxide etc. on a substrate by the spin coat method etc. from the inside of a film In order to carry out pyrolysis removal of the organic substance component in the process (3) film which carries out stoving of the film obtained for 5 - 10 minutes at

170–250 degrees C, the RTA (Rapid Thermal Annealing) method is used. at 700–725 degrees C in oxygen atmosphere For 30 seconds, The process heat-treated for 30 minutes at 800 degrees C among oxygen atmosphere after forming the process (5) up electrode heat-treated for 30 – 90 minutes at 800 degrees C among oxygen atmosphere, in order to crystallize the process (4) film to heat-treat.

[0010] In addition, in order to obtain desired thickness, the process of (1) to (3) is repeated and, finally (4) or (5) process is performed. However, in the above conventional MOD methods, with the burning temperature of 650 degrees C or less, in order to hardly crystallize but to acquire a high remanence, the ferroelectric thin film by the process (process (4)) which crystallizes before forming an up electrode is an elevated temperature very much, and needed to be heat-treated with 800 degrees C for a long time [ thing ] for 1 hour or more (PCT/US 93/No. 10021). For this reason, it was easy to become \*\*\*\*\* of the size whose particle diameter is about 250–350nm, while the leakage current increased, isolation voltage also fell, and micro processing was not further suitable for a high integration device from a bird clapper difficult.

[0011] On the other hand, in order to integrate ferroelectric non-volatile memory highly, it is necessary to connect a ferroelectric capacitor with a selection transistor with a contact plug, and to adopt the stack type structure in which the ferroelectric capacitor was formed on the contact plug (S.Onishi et al., IEEE IEDM Technical Digest, p843 (1994)). However, prolonged heat-treatment in the elevated-temperature oxygen atmosphere for forming a ferroelectric thin film had problems, such as causing the poor contact and property degradation by oxidization of contact plug material, such as counter diffusion and contest polysilicon, the counter diffusion of contact plug material, and a lower electrode material and a ferroelectric thin film material, etc. in a ferroelectric thin film and an electrode interface.

[0012] For this reason, although it is necessary to form thickly the electrode material and barrier metal material which bear an elevated temperature for a long time, the level difference of a capacitor portion becomes large by this, and it has been an obstacle in the case of integrating an element highly. Therefore, in order to make thickness of the whole capacitor thin and to attain high integration, as for a ferroelectric thin film, it is desirable to acquire a good property with heat treatment of low temperature and a short time conventionally. It is necessary to make heat treatment temperature of a ferroelectric thin film into 650 degrees C or less as a standard.

[0013]

[Means for Solving the Problem] In the manufacture method of the ferroelectric thin film which is equipped with a lower electrode, a ferroelectric thin film, and an up electrode in order on a substrate according to this invention (i) The aforementioned lower electrode is formed on a substrate. on the front face of lower (ii) this electrode Stoving of the precursor solution containing the metallic element which constitutes a ferroelectric is applied and carried out (iii). The 1st heat treatment process which heats to the obtained substrate in low gas pressure atmosphere, and forms a ferroelectric thin film in it from one atmospheric pressure. The manufacture method of the ferroelectric thin film which gives the 2nd heat treatment process heated after forming an up electrode on this ferroelectric thin film is offered.

[0014] Moreover, it is formed in the above-mentioned manufacture method, and the ferroelectric thin film whose ferroelectric thin film is the bismuth stratified compound which consists of an oxide of either Sr, Bi and Ta or Ti is offered. Furthermore, it has the memory cell which consists of one ferroelectric capacitor which consists of the lower electrodes, ferroelectric thin films, and up electrodes which were formed through the insulator layer on one a transistor and this transistor, and were electrically connected with this transistor through the contact plug, and the ferroelectric memory apparatus which the aforementioned ferroelectric thin film becomes from the bismuth layer structure compound formed by the above-mentioned manufacture method is offered.

[0015] In the manufacture method of the ferroelectric thin film in this invention, a ferroelectric thin film shows the ferroelectric thin film which can usually be used for a memory device, a pyroelectric-sensor element, a piezoelectric device, etc., and a lower electrode, a ferroelectric thin film, and an up electrode are formed one by one on a substrate, and it is constituted. Process (i) It sets and a lower electrode is formed on a substrate. Although various things, such as refractory metals, such as the electrical conducting materia usually used as an electrode material, for example, aluminum and Cu, and Ti, Ta, W, can be used for a lower electrode, in order to form an oxide layer on a lower electrode, it is desirable to use the electrical conducting material which cannot oxidize easily, for example, Pt, RuO<sub>2</sub>, the conductive oxide of IrO<sub>2</sub> grade, etc. It is about 50–200nm thickness, and this lower electrode forms membranes by the well-known method, for example, a spatter, the vacuum deposition method, the electron-beam-evaporation method, etc., and patterning of it can be carried out to a desired configuration by the well-known method, for example, a photolithography, and the etching method, and it can be formed.

[0016] In addition, in the manufacture method of this invention, a direct lower electrode may be formed on a substrate and insulator layers, such as SiO<sub>2</sub> and SiN, a transistor, a capacitor, etc. may be arbitrarily formed on a substrate through the layer insulation film which covers a desired element and them. Moreover, when forming a lower electrode through an insulator layer on a substrate, you may make the glue line which consists of Ta, Ti, TiN, etc. intervene between an insulator layer and a lower electrode.

[0017] In a process (ii), stoving of the precursor solution containing the metallic element which constitutes a ferroelectric is applied and carried out to the formed lower electrode front face. What can mention Bi, Sr, Ta Nb, Ti, Zr, calcium, Pb, etc., and contains Bi, Sr and Ta, or Ti especially as a metallic element which constitutes a ferroelectric, for example is desirable. The precursor solution containing these metallic elements is a solution used for membrane formation by the sol gel process or the MOD method, it is suitable concentration, suitable temperature, and the suitable blending ratio of coal, and the carboxylate or alkoxide of these metallic elements is dissolved in a suitable aquosity medium or a suitable organic solvent. As an

organic solvent which can be used, lower alcohols, such as a methanol, ethanol, and propanol, a xylene, acetic ester, etc. are mentioned, for example. The method which is mixed suitably, stirring for about 1 to 3 hours while it prepares separately [ mol / about 0.1-1 //l. ] although it changes with composition of the ferroelectric which is finally going to obtain each / of the metallic element from which manufacture of a precursor solution constitutes a ferroelectric / solution, for example, being about 150 degrees C or less and heating enough, and carries out grade stirring of the mixed liquor further 1 hour - one whole day and night is mentioned. In addition, as for a precursor solution, it is desirable to perform filtration, distillation of a solvent, manufacture of concentration, etc. arbitrarily.

[0018] The obtained precursor solution can be further applied by the thickness of about 20-200nm of hits by the spin coater on a lower electrode. However, since it will be easy to generate a crack at a dryness process if neighboring thickness is still thicker, neighboring thickness has more desirable much more about 100nm or less. Although you may carry out fixed time at uniform temperature, temperature changes stoving of this precursor solution and it may be performed. For example, 1 stage stoving performed for 1 - 30 minutes at the temperature of about 100-260 degrees C is sufficient, and For example, about 100-130 degrees C [ whether a substrate is preferably heated before and after 120 degrees C, and ] Or after carrying out grade substrate maintenance for 1 - 30 minutes in the gas of the temperature of this range, About 230-260-degree C 2 stage stoving which heats a substrate before and after 250 degrees C preferably, or carries out grade substrate maintenance for 1 - 30 minutes in the gas of the temperature of this range is sufficient, and subsequently, within an about 100-260-degree C temperature requirement Stoving which heats or holds an about [ a 1-30 minute room ] substrate is sufficient, raising temperature gradually.

[0019] Application of the above-mentioned precursor solution and stoving are performed once, and you may move to the following process and they may be performed repeatedly the number of times of two requests or more. In this invention, about 50-200nm has the total desirable thickness. Process (iii) The 1st heat treatment process which heats to a precursor solution, an application, and the substrate that carried out stoving in a gas pressure atmosphere lower than one atmospheric pressure, and forms a ferroelectric thin film in it as set and mentioned above, and the 2nd heat treatment process heated after forming an up electrode on this ferroelectric thin film are given. It is desirable the pressure range of 1 - 760Torr and to perform the 1st heat treatment process a grade for 30 second - 60 minutes preferably under the pressure range of 3 - 20Torr, an about 600-650-degree C temperature requirement, and oxygen atmosphere. According to this 1st heat treatment process, while being able to carry out decomposition removal of the organic substance in an application and the film which carried out stoving, the crystallized ferroelectric thin film can be formed. Heat treatment in this case can be performed by the well-known method, for example, the RTA method, the method using the heat treating furnace, etc. However, an up electrode material does not need to be the same as a lower electrode material.

[0020] Subsequently, an up electrode is formed on the ferroelectric thin film to which this 1st heat treatment was performed. Besides, a section electrode can be formed by the same material as a lower electrode, the same method, and the same thickness. As for the 2nd heat treatment process, it is desirable under the atmospheric pressure force single or to carry out a grade for 30 second - 60 minutes under a mixed inert gas atmosphere, such as an about 600-650-degree C temperature requirement, an argon, and nitrogen gas. Heat treatment in this case can also be performed by the same method as the above.

[0021] In this invention, moreover, the ferroelectric thin film in the ferroelectric element formed by the above-mentioned method SBT (SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>), SrBi<sub>2</sub>Nb<sub>2</sub>O<sub>9</sub>, SrBi<sub>2</sub>(Ta, Nb) It is desirable that they are bismuth layer structure compounds, such as 2O<sub>9</sub>, Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>, SrBi<sub>4</sub>Ti<sub>4</sub>O<sub>15</sub>, SrBi<sub>4</sub>(Ti, Zr)4O<sub>15</sub>, CaBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>, BaBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>, BaBi<sub>2</sub>Nb<sub>2</sub>O<sub>9</sub>, and PbBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>.

[0022] Furthermore, in this invention, it is desirable to apply to the ferroelectric memory apparatus which constitutes one cell combining one transistor and one capacitor, using an above-mentioned ferroelectric element as a capacitor.

[0023]

[Embodiments of the Invention] Hereafter, the form of operation of the manufacture method of the ferroelectric thin film of this invention, a ferroelectric thin film, and a ferroelectric memory apparatus is explained with reference to a drawing.

[0024] The ferroelectric thin film for producing form 1 drawing 1 of operation using the manufacture method of the ferroelectric thin film of this invention, and evaluating the below-mentioned electrical property is shown. This ferroelectric thin film forms the silicon thermal oxidation film 2 of 200nm of thickness in the front face of n type silicon substrate 1 as a layer insulation film. Moreover, the Ta film 3 of 30nm of thickness is formed as a glue line. further It is the structure which formed the up electrode 6 by the lower electrode 4 by Pt film of 200nm of thickness, the ferroelectric thin film 5 by 2OSrBi<sub>2</sub>Ta<sub>9</sub> thin film (with, a SBT thin film is called) of 200nm of thickness, and Pt film of 100nm of thickness one by one, respectively.

[0025] Below, the manufacture method of a ferroelectric thin film shown in drawing 1 is explained. First, thickness formed in the substrate front face the silicon thermal oxidation film 2 which is 200nm by oxidizing thermally the front face of n type silicon substrate 1 at 1000 degrees C. And on this silicon thermal oxidation film 2, the Ta film 3 whose thickness is 30nm was formed by the spatter, the lower electrode by Pt film whose thickness is 200nm was further formed on this, and this was used as a ferroelectric thin film formation substrate.

[0026] Subsequently, the SBT thin film was formed as a ferroelectric thin film 5 on this ferroelectric thin film formation substrate. The SBT thin film was formed according to a series of processes which form a SBT thin film on a substrate using composition of a precursor solution, and this precursor solution, as shown in

drawing 2 . First, it agitated heating from 100 degrees C to 120 degrees C of maximum temperatures, in order to carry out weighing capacity of the tantalum ethoxide (Ta (OC<sub>2</sub>H<sub>5</sub>)) (Step S1), to dissolve this tantalum ethoxide into 2-ethyl hexanate as a start raw material of precursor solution composition (Step S2) and to promote a reaction, and was made to react for 30 minutes (Step S3).

[0027] Subsequently, the ethanol and the moisture which were generated by the reaction at 120 degrees C are removed. Heating churning of the strontium-2-ethyl hexanate (Sr<sub>2</sub> (C<sub>7</sub> H<sub>15</sub>COO)) which the xylene was made to dissolve in the solution was carried out at 140 degrees C of maximum temperatures from proper quantity \*\*\*\* (Step S4) and 125 degrees C for 30 minutes so that a composition ratio might be set to Sr/Ta=0.8/2.0 (Step S5).

[0028] Then, heating churning of the bismuth-2-ethyl hexanate (Bi<sub>2</sub> (C<sub>7</sub> H<sub>15</sub>COO)) which the xylene was made to dissolve in this solution was carried out at 150 degrees C of maximum temperatures from optimum dose \*\*\*\* (Step S6) and 130 degrees C for 10 hours so that a precursor solution composition ratio might be set to Sr/Bi/Ta=0.8/2.2/2.0 (Step S7). Then, in order to remove the xylene used as the alcohol, the water, and the solvent of low molecular weight from this solution, it distilled at the temperature of 130 degrees C - 150 degrees C for 5 hours, and further, in order to remove dust from a solution, it filtered with the filter of the diameter of 0.45 micrometer (Step S8). Then, the concentration of Sr<sub>0.8</sub>Bi<sub>2.2</sub>Ta<sub>2.0</sub>O<sub>9.1</sub> of a solution was adjusted to 0.1 mol/l, and this was made into the precursor solution (step S9).

[0029] Subsequently, the above-mentioned precursor solution was dropped on the ferroelectric thin film formation substrate in which the lower electrode 4 mentioned above was formed, and the spin application was carried out by 3000rpm during 20 seconds (Step S10). Then, it laid in the hot plate which heated the substrate at 120 degrees C, and was made to BEKU and dry in the atmosphere for 5 minutes (Step S11). In that case, in order to advance dryness uniformly, it is desirable to make a temperature requirement into 100-130 degrees C, and the optimal drying temperature is about 120 degrees C. Since a crack occurs by membrane stress in the stage which repeats the below-mentioned application dryness when drying at temperature higher than this temperature requirement, for example, 150 degrees C, this is for preventing it. Then, in order to volatilize a solvent completely, it lays in the hot plate which heated the wafer at 250 degrees C, and calcinates in the atmosphere for 5 minutes (Step S12). This temperature is more than the boiling point of a solvent, and it is desirable to carry out at the temperature of 230 degrees C - about 260 degrees C for shortening of process time. This membrane formation process was repeated 3 times, and the SBT thin film of 200nm of thickness was formed.

[0030] Next, heat treatment for 30 minutes was performed at 600 degrees C among 1 - 760Torr oxygen atmosphere, using RTA as the 1st baking (Step S13). Simultaneously with pyrolysis removal of the organic substance contained in the thin film by which application dryness was carried out, crystallization of a ferroelectric is performed in this 1st baking. Then, mask deposition of the up electrode 6 by Pt of 100nm of thickness was carried out by EB (electron beam) vacuum deposition (Step S14). With the gestalt of this operation, in order to use for ferroelectric characterization, the up electrode 6 was used as the electrode of 100 micrometerphi.

[0031] Then, baking was performed for 30 seconds at 650 degrees C among atmospheric pressure nitrogen atmosphere, using the RTA method as the 2nd baking (Step S15). This 2nd baking is required in order to suppress leak according to the effect of shrinking the up electrode material which entered the crevice between the grains of the crystallized SBT thin film. Production of a ferroelectric thin film was completed according to the above process (Step S16).

[0032] In the above-mentioned process, the X diffraction pattern of the SBT thin film after the 1st baking was measured. The diffraction pattern is shown in drawing 3 . In drawing 3 , the 1st baking pressure of a, b, c, and d is the thing of 760Torr(s), 20Torr, 3Torr, and 1Torr, respectively. Moreover, in drawing 3 , although a horizontal axis is diffraction angle 2theta (deg.) and a vertical axis is diffraction intensity (arbitrary intensity), about each 1st baking pressure, the position used as the diffraction intensity 0 is moved, and it expresses as a vertical axis. And the inside of drawing 3 , SBT (008), SBT (105), SBT (110), SBT (0010) and SBT (200) SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> (SBT) The diffraction peak to depend, As for the peak by Bi<sub>2</sub>Pt generated by diffusion of Bi to Pt electrode, and Pt, the diffraction peak according [ the diffraction peak according / Si / to a silicon substrate, delta-TaO (001), and delta-TaO (002) ] to the delta phase TaO and Bi<sub>2</sub>Pt express the diffraction peak by the lower electrode.

[0033] according to drawing 3 , by 760Torr, the SBT peak is broadcloth very much and it is thought that it is an amorphous -like film On the other hand, in 3 - 20Torr, the polycrystal peak (SBT (008), SBT (105), SBT (110), SBT (0010), SBT (200)) of SBT has appeared. In 1Torr, there is no peak of SBT and the peak of TaO and Bi<sub>2</sub>Pt was checked. Therefore, it turns out that the crystallized SBT thin film was obtained from this analysis result when the ambient-gas-pressure force of the 1st baking was the range of 3 - 20Torr.

[0034] Next, membranous surface morphology was observed by SEM. Drawing 4 is the surface SEM photograph of the film which performed the 1st baking by 3Torr(s). Crystal grain with a particle size of 50-200nm exists in the whole. 20Torr(s) -- annealing -- the bottom, when crystal grain exists partially and a film is 760Torr, there is almost no structure and it is amorphously -like That is, in atmospheric pressure (760Torr), it turns out that it is required for crystallization of the elevated temperature of about 800 degrees C as it is in a process conventionally [ above-mentioned ]. Moreover, the film in 1Torr was very porous although crystal grain existed. by the above result, with the fall of a pressure, an amorphous -like portion decreases and is understood that crystallization is advancing

[0035] Drawing 5 and drawing 6 are graphs which show the ferroelectric property over the 1st baking pressure of the film obtained by the above-mentioned manufacturing process. Measurement of strong dielectric characteristics performs applied voltage as 3V to the capacitor of the type shown in drawing 1

using a well-known SOYA tower circuit. The remanence  $P_r$  of a SBT thin film increases with the fall of the 1st baking pressure, and the value of  $10.7 \mu\text{C}/\text{cm}^2$  is acquired by 3Torr. Moreover, the anti-electric field  $E_c$  of a SBT thin film increase with the fall of the 1st baking pressure, and the value of  $52.3 \text{ kV}/\text{cm}$  is acquired by 3Torr. However, the film calcinated the 1st time by 1Torr is large, and a leakage current has not measured the ferroelectricity. Moreover, when the 1st baking was performed by 550 degrees C and 3Torr, the SBT thin film was not crystallized. Therefore, the temperature of 600 degrees C or more is required for crystallization.

[0036] As an example of comparison of the gestalt 1 of the example of comparison 1 above-mentioned implementation, the ferroelectric thin film which has the same structure as drawing 1 was produced according to a series of processes shown in drawing 7 for evaluation of the electrical property. In addition, formation of a ferroelectric thin film formation substrate was performed like the gestalt 1 of operation. Moreover, the process same among the processes shown in drawing 7 as the gestalt 1 of operation attached the same step number. Moreover, composition of a precursor solution is  $\text{Sr}/\text{Bi}/\text{Ta}=0.8/2.2/2.0$  like the gestalt 1 of operation.

[0037] In manufacture of the ferroelectric thin film in this example of comparison, a different point from the gestalt 1 of the above-mentioned operation is the 2nd baking at the time of SBT thin film formation. That is, with the gestalt of the 1st operation of the above-mentioned, it received having performed 650 degrees C for 30 seconds in atmospheric pressure nitrogen atmosphere (Step S15), and 600 degrees C of the 2nd baking were performed for 30 minutes in 3Torr oxygen atmosphere in the thing of the example of comparison (Step S21). In addition, the 1st baking of the example of comparison was performed in atmospheric pressure (760Torr) oxygen atmosphere.

[0038] The X diffraction pattern of the SBT thin film after the 1st baking in the above-mentioned example of comparison was measured, and it was shown in drawing 8. according to drawing 8, a peak is broadcloth after the 1st baking and a SBT thin film is amorphous -- the -like thing was shown Therefore, in this example of comparison, it turns out that crystallization of a SBT thin film is made by the 2nd baking. Next, the surface morphology of the SBT thin film after the 2nd baking was observed by SEM, and was shown in drawing 9. Crystal grain with a particle size of 150-300nm exists in the whole. This has the 2nd long firing time compared with the gestalt 1 of operation, and is considered because grain growth progressed.

[0039] Drawing 10 is the hysteresis loop of the obtained film. Measurement of strong dielectric characteristics performs applied voltage as 3V to the capacitor of the type shown in drawing 1 like the gestalt 1 of the above-mentioned implementation using a well-known SOYA tower circuit. At this time, it was  $11 \mu\text{C}/\text{cm}^2$ , the anti-electric field  $E_c$  were  $[\text{kV} / 48 // \text{cm}]$ , and Remanence  $P_r$  was a value almost equivalent to the case where the 1st baking is performed in 3Torr oxygen atmosphere, in the gestalt 1 of operation.

[0040] As mentioned above, after carrying out application dryness of the precursor solution in a method given in the conventional technology according to the manufacture method of the ferroelectric thin film of this invention, the RTA heat-treatment process (process (3)) for carrying out pyrolysis removal of the organic substance component in a film is skipped. The application dryness process was repeated several times and it considered as predetermined thickness, and after that, as 1st heat treatment process, while carrying out pyrolysis removal of the organic substance in a film by heating in low gas pressure atmosphere from one atmospheric pressure, crystallization was completed. Furthermore, while lowering the temperature of the 2nd baking after up electrode formation (process (5)) to 650 degrees C, the firing time has been sharply shortened with 30 seconds. That is, simplification of a process, short-time-izing, and low temperature-ization of membrane formation temperature are attained from the conventional method. Furthermore, a crystal grain child's big and rough-ization is suppressed by shortening of a firing time, it becomes precise, and production of a high-density device can be realized more from it being suitable also for micro processing.

[0041] The ferroelectric memory cell by form 2 this invention of operation is shown in drawing 11 (d). This ferroelectric memory cell The transistor which consists of a polysilicon contest word line 42 which has the gate oxide film 40 formed on the 1st conductivity-type silicon substrate 54 which has the isolation oxide film 39, and the sidewall spacer 44, and a 2nd conductivity-type impurity diffusion field 41 formed in silicon-substrate 54 front face. It consists of ferroelectric capacitors which consist of the barrier metal layer 46 by TiN formed on this transistor, the lower electrode 47 by Pt, a ferroelectric thin film 48, and a Pt plate line 49. Between the transistor and the ferroelectric capacitor, the layer insulation film 43, the  $\text{Ta}_2\text{O}_5$  barrier insulator layer 50, and the layer insulation film 51 are arranged, and the transistor and the ferroelectric capacitor are connected through the contact plug 45. Moreover, the layer insulation film 52 is formed on the ferroelectric capacitor, and the aluminum bit line 53 connected to the 2nd conductivity-type impurity diffusion field 41 of a transistor is formed on it.

[0042] Below, the manufacture method of the above-mentioned ferroelectric random-access memory is explained based on a drawing. As first shown in drawing 11 (a), the transistor for a switch which consists of a polysilicon contest word line 42 which has the gate oxide film 40 and the sidewall spacer 44, and a 2nd conductivity-type impurity diffusion field 41 is formed according to a well-known MOSFET formation process on the 1st conductivity-type silicon substrate 54, and it covers by the layer insulation film 43. then, a phot well-known to the field of the request on the impurity diffusion field 41 -- a contact hole is formed using the lithography method and the dry etching method, and after embedding contest polysilicon which carried out impurity diffusion to this contact hole, while forming the contact plug 45, flattening of the contact plug 45 front face is carried out to the layer insulation film 43 by the well-known CMP (Chemical Metal Polishing) method Next, after depositing TiN 200nm of thickness by the well-known sputter as a barrier metal layer 46,



Pt thin film is deposited 100nm of thickness by the well-known sputter, and the lower electrode 47 is formed. A SBT thin film is formed as a ferroelectric thin film 48 on this lower electrode 47 by the same method as Step S1 of drawing 2 shown with the form 1 of operation -- Step S13. and the SBT thin film after the 1st baking, the lower electrode 47, and the TiN barrier metal layer 46 -- a well-known phot -- patterning is carried out to the size of 3.0-micrometer angle using the lithography method and the dry etching method. The type of gas used for dry etching using the efficient consumer response etcher is C2 F6 and CHF3 for SBT thin film etching the mixed gas of Ar, Cl2, and CF4, and for Pt lower electrode etching. And Cl2 Mixed gas and for TiN barrier metal etching, it was Cl2 gas. Since a SBT thin film and Pt thin film are very precise and it is flat at this time, precise micro processing is possible and a CD loss can be held down to 0.1 micrometers or less.

[0043] Next, as shown in drawing 11 (b), all over a SBT thin film top, the Ta2O5 barrier insulator layer 50 of 30nm of thickness is used, and a well-known sputter is deposited, then the silicon oxide of 150nm of thickness is deposited in well-known CVD as a layer insulation film 51. and a phot well-known in the SBT thin film upper part -- the contact hole of 2.0-micrometer angle is formed using the lithography method and the dry etching method

[0044] subsequently, the field top which contains the contact hole mentioned above as shown in drawing 11 (c) -- Pt thin film of 100nm of thickness -- a well-known sputter -- forming -- a well-known phot -- it was processed using the lithography method and the dry etching method, and considered as Pt plate line 49. And the obtained substrate was heat-treated for 30 seconds at 650 degrees C in atmospheric pressure nitrogen atmosphere, using the RTA method as the 2nd heat treatment. This SBT thin film is very smooth, is precise, and did not spoil the configuration of a ferroelectric capacitor. Moreover, it was 200nm when the thickness of a SBT thin film was measured.

[0045] then, well-known CVD and flattening technology -- using -- the layer insulation film 52 -- depositing -- flattening -- carrying out -- a well-known phot -- the contact hole to another impurity diffusion field 41 of the transistor for a switch is formed using the lithography method and the dry etching method, well-known aluminum wiring technology is used, a bit line 53 is formed, and as shown in drawing 11 (d), a ferroelectric memory cell is completed

[0046] Thus, the electrical property of the produced ferroelectric memory cell was measured using the well-known SOYA tower circuit. Drawing 12 is a graph which shows the hysteresis loop when measuring applied voltage by 3V. The configuration of the hysteresis loop was good, the value of 30 kV/cm (0.6V) is acquired and, as for Remanence Pr, operation sufficient as a ferroelectric capacitor was checked, as for 5microC/cm2 and the anti-electric field Ec. In addition, it is fully utilizable as a ferroelectric memory cell the property is inferior compared with the gestalt 1 of operation, although it is thought that it is based on process damages, such as etching. Moreover, the value of the leakage current of applied-voltage 3V is  $5 \times 10^{-8}$  A/cm2, and property sufficient as a ferroelectric capacitor was checked.

[0047] Drawing 13 is the graph which impressed voltage 3V and the pulse with a frequency of 1MHz, and plotted change of amount of stored charges  $\Delta Q$  to the number of times of repeat polarization reversal at the time of performing polarization reversal repeatedly. Completely, change is not looked at by the amount of stored charges, but after polarization reversal of  $2 \times 10^{11}$  cycle shows a property good as non-volatile memory to it.

[0048]

[Effect of the Invention] According to the manufacture method of the ferroelectric thin film of this invention the RTA heat-treatment process which is a pyrolysis removal process of the organic substance component in a film after carrying out application dryness of the precursor solution currently performed from the former is skipped. Since an application dryness process is repeated several times, it considers as predetermined thickness and the 1st heat treatment process is performed in low gas pressure atmosphere from one atmospheric pressure after that it can crystallize simultaneously with pyrolysis removal of the organic substance in a ferroelectric thin film, and while simplifying the process currently performed conventionally, it can short-time-ize and low temperature-ization of membrane formation temperature is still attained. Moreover, production of a high-density device is more realizable by shortening a firing time from the ability of micro processing for big and rough-ization of the crystal grain child in a ferroelectric thin film to be suppressed, and for it turn precisely, and to be made possible.

[0049] Moreover, in the ferroelectric memory apparatus using the ferroelectric thin film formed by the manufacture method of this invention, and this element, in order that a ferroelectric thin film may make it precise, reduction of a leakage current etc. can be aimed at and it becomes possible to realize the element and equipment which have the strong dielectric characteristics which were very excellent.

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the outline cross section of an important section showing the example of the ferroelectric thin film of this invention.

[Drawing 2] It is process drawing showing a part of manufacturing process of the ferroelectric thin film of this invention.

[Drawing 3] It is drawing showing the X diffraction pattern of the film to the ambient-gas-pressure force (the 1st baking pressure) of the 1st baking of the SBT thin film of the ferroelectric thin film formed by the manufacture method of drawing 2.

[Drawing 4] It is the surface SEM photograph of the SBT thin film which manufactured the 1st baking pressure as 3Torr(s) by the manufacture method of drawing 2.

[Drawing 5] It is the graph which shows the change of Remanence  $P_r$  to the 1st baking pressure of the ferroelectric thin film formed by the manufacture method of drawing 2.

[Drawing 6] It is the graph which shows the change of the anti-electric field  $E_c$  to the 1st baking pressure of the ferroelectric thin film formed by the manufacture method of drawing 2.

[Drawing 7] It is process drawing showing a part of manufacturing process of the ferroelectric thin film of the example of comparison.

[Drawing 8] It is drawing showing the X diffraction pattern of the SBT thin film formed by the manufacture method of drawing 7.

[Drawing 9] It is the surface SEM photograph of the SBT thin film manufactured by the manufacture method of drawing 7.

[Drawing 10] It is the graph which shows the hysteresis loop when impressing the voltage of 3V to the ferroelectric element of the example of comparison.

[Drawing 11] It is process drawing showing the manufacturing process of the ferroelectric memory apparatus of this invention.

[Drawing 12] It is the graph which shows the hysteresis loop when impressing the voltage of 3V to the ferroelectric memory apparatus of drawing 11.

[Drawing 13] It is the graph which shows the defatigation property of the ferroelectric memory apparatus of drawing 11.

[Description of Notations]

- 1 54 Silicon substrate
- 2 Silicon Thermal Oxidation Film
- 3 Ta Film
- 4 Lower Electrode
- 5 48 Ferroelectric thin film
- 6 Up Electrode
- 39 Isolation Oxide Film
- 40 Gate Oxide Film
- 41 Impurity Diffusion Field
- 42 Polysilicon Contest Word Line
- 43, 51, 52 Layer insulation film
- 44 Sidewall Spacer
- 45 Contact Plug
- 46 Barrier Metal Layer
- 47 Lower Electrode
- 49 Plate Line
- 50 Barrier Insulator Layer
- 53 Bit Line

---

[Translation done.]

---

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-223847

(43) 公開日 平成10年(1998) 8月21日

(51) Int.Cl. <sup>6</sup>	識別記号	F I
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10 4 5 1
27/04		27/04 C
21/822		27/10 6 5 1
27/108		29/78 3 7 1
21/8242		

審査請求 未請求 請求項の数7 F D (全 11 頁) 最終頁に続く

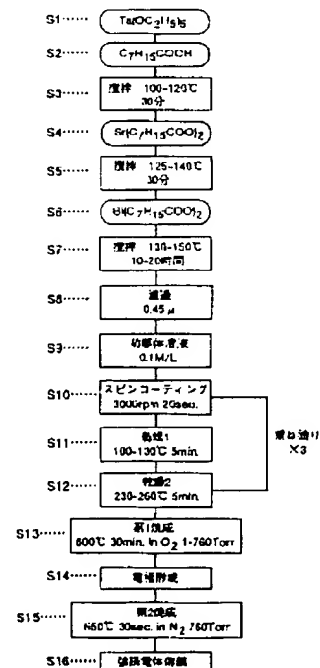
(21) 出願番号	特願平9-41669	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成9年(1997) 2月10日	(72) 発明者	牛久保 真帆 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(72) 発明者	横山 誠一 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(72) 発明者	松永 宏典 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(74) 代理人	弁理士 野河 信太郎

(54) 【発明の名称】 強誘電体薄膜素子の製造方法、強誘電体薄膜素子及び強誘電体メモリ装置

(57) 【要約】

【課題】 本発明は、成膜温度の低温化および短時間化、製造プロセスの簡略化が可能なB i 系層状構造化合物からなる強誘電体薄膜素子の製造方法、強誘電体薄膜素子、および強誘電体メモリ素子を提供することを目的としている。

【解決手段】 基板上に下部電極、強誘電体薄膜及び上部電極とを順に備える強誘電体薄膜素子の製造方法において、基板上に形成された前記下部電極の表面に強誘電体を構成する金属元素を含む前駆体溶液を塗布する工程 (S10) と、塗布された前駆体溶液を加熱して溶媒のみを除去して乾燥する工程 (S11) と、乾燥された前駆体を1気圧より低いガス圧力雰囲気中にて加熱して強誘電体薄膜を形成する第1の熱処理工程 (S13) と、強誘電体薄膜上に上部電極を形成した後に窒素雰囲気中で加熱する第2の熱処理工程 (S15) とを含む。



## 【特許請求の範囲】

【請求項1】 基板上に下部電極、強誘電体薄膜及び上部電極を順に備える強誘電体薄膜素子の製造方法において、

(i) 基板上に前記下部電極を形成し、  
(ii) 該下部電極の表面に、強誘電体を構成する金属元素を含む前駆体溶液を塗布し、加熱乾燥し、  
(iii) 得られた基板に、1気圧より低いガス圧力雰囲気中にて加熱して強誘電体薄膜を形成する第1熱処理工程と、該強誘電体薄膜上に上部電極を形成した後加熱する第2熱処理工程とを施すことを特徴とする強誘電体薄膜素子の製造方法。

【請求項2】 第1熱処理工程を、20 Torr以下のガス圧力雰囲気中にて行われる請求項1記載の強誘電体薄膜素子の製造方法。

【請求項3】 第1熱処理工程を、600℃以上650℃以下の雰囲気下で行う請求項1又は2記載の強誘電体薄膜素子の製造方法。

【請求項4】 第2熱処理工程を、不活性ガス雰囲気下で行う請求項1～3のいずれかに記載の強誘電体薄膜素子の製造方法。

【請求項5】 前駆体溶液が、強誘電体薄膜を構成する金属のカルボン酸塩又はアルコキシドからなる請求項1～4のいずれかに記載の強誘電体薄膜素子の製造方法。

【請求項6】 強誘電体薄膜が、Sr、Bi及びTa又はTiのいずれかの酸化物からなるビスマス層状化合物である請求項1～5のいずれかに記載の方法により形成される強誘電体薄膜素子。

【請求項7】 1つのトランジスタと、該トランジスタ上に絶縁膜を介して形成され、かつ該トランジスタとコンタクトプラグを介して電気的に接続された下部電極、強誘電体薄膜及び上部電極からなる1つの強誘電体キャパシタとからなるメモリセルを有し、前記強誘電体薄膜が、請求項1～5のいずれかに記載の方法により形成されるビスマス層状構造化合物からなることを特徴とする強誘電体メモリ装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は強誘電体薄膜素子の製造方法、強誘電体薄膜素子及び強誘電体メモリ装置に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】強誘電体薄膜は、自発分極、高誘電率、電気光学効果、圧電効果および焦電効果等の多くの機能を持つことから、広範なデバイス開発に応用されている。例えば、その焦電性を利用して赤外線リニアアレイセンサに、また、その圧電性を利用して超音波センサに、その電気光学効果を利用して光変調器に、その高誘電性を利用してDRAMやMMIC用キャパシタにと、様々な方面で用いられてい

る。

【0003】なかでも、近年の薄膜形成技術の進展に伴って、半導体メモリ技術との組み合わせにより、高密度でかつ高速に動作する強誘電体不揮発性メモリ(FRAM)の開発が盛んである。強誘電体薄膜を用いた不揮発性メモリは、その高速書き込み/読み出し、低電圧動作、および書き込み/読み出し繰り返し耐性の高さから、従来の不揮発性メモリの置き換えだけでなく、SRAM、DRAMの置き換えも可能なメモリとして、実用化に向けての研究開発が盛んに行われている。

【0004】この様なデバイス開発には残留分極(P<sub>r</sub>)が大きく、かつ抗電界(E<sub>c</sub>)が小さく、低リーク電流であり、分極反転の繰り返し耐性の高い強誘電体材料が必要である。さらには動作電圧の低減と半導体微細加工プロセスに適合するために膜厚200nm以下の薄膜で上記の特性を実現することが望ましい。そして、これらの用途に用いられる強誘電体材料としては、PZT(チタン酸ジルコン酸鉛、Pb(Ti, Zr)O<sub>3</sub>)に代表されるペロブスカイト構造の酸化物材料が主流であった。

【0005】ところが、PZTのように鉛をその構成元素として含む材料は、鉛やその酸化物の蒸気圧が高いため、成膜時に鉛が蒸発してしまい膜中に欠陥を発生させたり、ひどい場合にはピンホールを形成する。この結果、リーク電流が増大したり、分極反転を繰り返すと自発分極の大きさが減少する疲労減少が起こるなどの欠点があった。特に、強誘電体不揮発性メモリ(FRAM)としての使用となると、疲労減少に関しては、10<sup>11</sup>回の分極反転後も特性の変化がないことを保証しなければならないため、疲労のない強誘電体薄膜の開発が望まれていた。

【0006】これに対し、近年、ビスマス層状構造化合物材料の研究開発が行われている。ビスマス層状構造化合物材料は、1959年に、Smolenskiiらによって発見され(G. A. Smolenskii, V. A. IsupovとA. I. Agranovskaya, Soviet Phys. Solid State, 1, 149(1959))、その後、Subbaraoにより詳細な検討がなされた(E. C. Subbarao, J. Phys. Chem. Solids, 23, 665(1962))。また最近、Carlos, A. Paz de Araujoらは、このビスマス層状構造化合物薄膜が強誘電体及び高誘電体集積回路応用に適していること、特に10<sup>11</sup>回以上の分極反転後も特性に変化が見られないという優れた疲労特性を有することを報告している(PCT/US92/10542号)。

【0007】また、強誘電体薄膜の製造方法には、真空蒸着法、スパッタリング法、レーザーアブレーション法等の物理的方法や、有機金属化合物を出発原料とし、これらを熱分解酸化して酸化物強誘電体を得るゾルゲル法またはMOD(Metal Organic Decomposition)法、MOCVD(Metal Organic Chemical Vapor Deposition)法

等の化学的方法が用いられている。

【0008】上記成膜法の中で、ゾルゲル法またはMOD法は、原子レベルの均質な原料溶液の作製が可能であること、組成制御が容易で再現性に優れること、特別な真空装置が不要であり、常圧で大面積の成膜が可能であること、工業的に低コストである等の利点から広く利用されている。特に、上記のビスマス層状構造化合物薄膜の成膜方法としても、下記に示すような工程のMOD法が用いられている(PCT/US93/10021号)。

【0009】(1) 複合アルコキシド等からなる前駆体溶液をスピンコート法等で基板上に塗布成膜する工程

(2) 溶媒や(1)の工程において反応生成したアルコールや残留水分を膜中より離脱除去させるために、170～250℃で5～10分間、得られた膜を加熱・乾燥する工程

(3) 膜中の有機物成分を熱分解除去するためにRTA(Rapid Thermal Annealing)法を用いて酸素雰囲気中で700～725℃で30秒間、加熱処理する工程

(4) 膜を結晶化させるために、酸素雰囲気中、800℃で30～90分間、加熱処理する工程

(5) 上部電極を形成した後、酸素雰囲気中、800℃で30分間、加熱処理する工程。

【0010】なお、所望の膜厚を得るためには、(1)から(3)の工程を繰り返し、最後に(4)、(5)の工程を行う。しかしながら、上記のような従来のMOD法において、上部電極を形成する前に結晶化を行う工程(工程(4))による強誘電体薄膜は、650℃以下の焼成温度ではほとんど結晶化せず、高い残留分極を得るためには、800℃と極めて高温で、1時間以上もの長時間加熱処理する必要がある(PCT/US93/10021号)。このため、粒子径が250～350nm程度の大きさの粗な膜になり易く、リーク電流が増大すると共に絶縁耐圧も低下し、さらに微細加工が困難になることから、高集積化デバイスには適さなかった。

【0011】一方、強誘電体不揮発性メモリを高集積化するためには、選択トランジスタと強誘電体キャパシタをコンタクトプラグで接続し、コンタクトプラグ上に強誘電体キャパシタを形成したスタック型構造を採用する必要がある(S. Onishi 他, IEEE IEDM Technical Digest, p843(1994))。ところが、強誘電体薄膜を形成するための高温酸素雰囲気中での長時間加熱処理は、強誘電体薄膜と電極界面における相互拡散や、ポリシリコン等のコンタクトプラグ材料の酸化、コンタクトプラグ材料と下部電極材料や強誘電体薄膜材料との相互拡散等によるコンタクト不良や特性劣化を引き起こすなどの問題があった。

【0012】このため、高温に長時間耐える電極材料やバリア金属材料を厚く形成する必要があるが、これによりキャパシタ部分の段差が大きくなり、素子を高集積

化する場合の障害となっている。よって、キャパシタ全体の膜厚を薄くして高集積化を図るためには、強誘電体薄膜は、従来より少しでも低温、短時間の熱処理で良好な特性が得られることが望ましい。目安としては、強誘電体薄膜の熱処理温度は650℃以下とする必要がある。

【0013】

【課題を解決するための手段】本発明によれば、基板上に下部電極、強誘電体薄膜及び上部電極を順に備える強誘電体薄膜素子の製造方法において、(i) 基板上に前記下部電極を形成し、(ii) 該下部電極の表面に、強誘電体を構成する金属元素を含む前駆体溶液を塗布し、加熱乾燥し、(iii) 得られた基板に、1気圧より低いガス圧力雰囲気中にて加熱して強誘電体薄膜を形成する第1熱処理工程と、該強誘電体薄膜上に上部電極を形成した後に加熱する第2熱処理工程とを施す強誘電体薄膜素子の製造方法が提供される。

【0014】また、上記製造方法において形成され、強誘電体薄膜が、Sr、Bi及びTa又はTiのいずれかの酸化物からなるビスマス層状化合物である強誘電体薄膜素子が提供される。さらに、1つのトランジスタと、該トランジスタ上に絶縁膜を介して形成され、かつ該トランジスタとコンタクトプラグを介して電気的に接続された下部電極、強誘電体薄膜及び上部電極からなる1つの強誘電体キャパシタとからなるメモリセルを有し、前記強誘電体薄膜が、上記製造方法により形成されるビスマス層状構造化合物からなる強誘電体メモリ装置が提供される。

【0015】本発明における強誘電体薄膜素子の製造方法において、強誘電体薄膜素子は、通常メモリ素子、焦電センサ素子、圧電素子などに用いることができる強誘電体薄膜素子を示すものであり、基板上に下部電極、強誘電体薄膜及び上部電極が順次形成されて構成されるものである。工程(i)において、基板上に下部電極を形成する。下部電極は、通常電極材料として用いられる導電材料、例えばAl、Cu、あるいはTi、Ta、W等の高融点金属等種々のものを使用することができるが、下部電極上には酸化物層を形成するために、酸化されにくい導電材料、例えばPt、RuO<sub>2</sub>、IrO<sub>2</sub>等の導電性酸化物等を使用することが好ましい。この下部電極は、例えば50～200nm程度の膜厚で、公知の方法、例えばスパッタ法、真空蒸着法、電子ビーム蒸着法等により成膜し、公知の方法、例えばフォトリソグラフィ及びエッチング法により所望の形状にパターニングして形成することができる。

【0016】なお、本発明の製造方法においては、基板上に直接下部電極を形成してもよいし、任意にSiO<sub>2</sub>、SiN等の絶縁膜、トランジスタやキャパシタ等の所望の素子及びそれらを被覆する層間絶縁膜等を介して、基板上に形成してもよい。また、基板上に絶縁膜を

介して下部電極を形成する場合には、絶縁膜と下部電極との間に、例えばTa、Ti、TiN等からなる接着層等を介在させてもよい。

【0017】工程(ii)において、形成された下部電極表面に、強誘電体を構成する金属元素を含む前駆体溶液を塗布し、加熱乾燥する。強誘電体を構成する金属元素としては、例えば、Bi、Sr、Ta、Nb、Ti、Zr、Ca、Pb等を挙げることができ、特に、Bi、Sr及びTa又はTiを含むものが好ましい。これら金属元素を含む前駆体溶液とは、ゾルゲル法やMOD法による成膜に用いる溶液であり、これら金属元素のカルボン酸塩又はアルコキシドを、適当な濃度、適当な温度、適当な配合割合で、適当な水性媒体又は有機溶媒に溶解させたものである。使用することができる有機溶媒としては、例えば、メタノール、エタノール、プロパノール等の低級アルコール、キシレン、酢酸エステル等が挙げられる。前駆体溶液の調製は、例えば、強誘電体を構成する金属元素の各溶液を、最終的に得ようとする強誘電体の組成により異なるが、0.1~1mol/リットル程度で別々に調製し、例えば150℃程度以下で十分加熱するとともに、1~3時間程度攪拌しながら適宜混合し、さらに混合液を1時間~1昼夜程度攪拌する方法が挙げられる。なお、前駆体溶液は、任意に濾過、溶媒の蒸留、濃度の調製等を行うことが好ましい。

【0018】得られた前駆体溶液は、下部電極上に、例えばスピンコートにより一層あたり20~200nm程度の膜厚で塗布することができる。ただし、一層あたりの膜厚が厚いと乾燥工程でクラックを発生しやすいため、一層あたりの膜厚は100nm程度以下がより好ましい。この前駆体溶液の加熱乾燥は、均一の温度で一定時間行ってもよいが、温度の異ならせて行ってもよい。例えば、100~260℃程度の温度で1~30分間行う1段階加熱乾燥でもよいし、例えば100~130℃程度、好ましくは120℃前後に基板を加熱するか、あるいはこの範囲の温度の気体中で1~30分間程度基板保持した後、次いで230~260℃程度の、好ましくは250℃前後に基板を加熱するかあるいはこの範囲の温度の気体中で1~30分間程度基板保持する2段階加熱乾燥でもよいし、100~260℃程度の温度範囲内で、徐々に温度を上昇させながら1~30分間程度基板を加熱あるいは保持する加熱乾燥でもよい。

【0019】上記の前駆体溶液の塗布、加熱乾燥は、1回行って次工程に移ってもよいし、2回以上の所望の回数繰り返して行ってもよい。本発明においては、総膜厚が50~200nm程度が好ましい。工程(iii)において、上述したように前駆体溶液と塗布、加熱乾燥した基板に、1気圧より低いガス圧力雰囲気中にて加熱して強誘電体薄膜を形成する第1熱処理工程と、この強誘電体薄膜上に上部電極を形成した後に加熱する第2熱処理工程とを施す。第1熱処理工程は、1~760 Torrの

圧力範囲、好ましくは3~20 Torrの圧力範囲、600~650℃程度の温度範囲、酸素雰囲気下、30秒~60分間程度行うことが好ましい。この第1熱処理工程によって、塗布、加熱乾燥した膜内の有機物を分解除去できるとともに、結晶化した強誘電体薄膜を形成することができる。この際の熱処理は、公知の方法、例えばRTA法、熱処理炉を用いた方法等により行うことができる。ただし、上部電極材料が下部電極材料と同じである必要はない。

【0020】次いで、この第1熱処理が施された強誘電体薄膜上に上部電極を形成する。この上部電極は、下部電極と同様の材料、同様の方法、同様の膜厚で形成することができる。第2熱処理工程は、大気圧力下、600~650℃程度の温度範囲、アルゴンや窒素ガス等の単一又は混合不活性ガス雰囲気下、30秒~60分間程度行うことが好ましい。この際の熱処理も、上記と同様の方法により行うことができる。

【0021】また、本発明においては、上述の方法により形成した強誘電体素子における強誘電体薄膜は、SBT( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ )、 $\text{SrBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{SrBi}_2(\text{Ta}, \text{Nb})_2\text{O}_9$ 、 $\text{Bi}_2\text{Ti}_2\text{O}_{12}$ 、 $\text{SrBi}_2\text{Ti}_2\text{O}_{15}$ 、 $\text{SrBi}_2(\text{Ti}, \text{Zr})_2\text{O}_{15}$ 、 $\text{CaBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{BaBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{BaBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{PbBi}_2\text{Ta}_2\text{O}_9$ 、等のピスマス層状構造化合物であることが好ましい。

【0022】さらに、本発明においては、上述の強誘電体素子をキャパシタとして用い、1つのトランジスタと1つのキャパシタとを組み合わせる1つのセルを構成する強誘電体メモリ装置に適用することが好ましい。

【0023】

【発明の実施の形態】以下、本発明の強誘電体薄膜素子の製造方法、強誘電体薄膜素子及び強誘電体メモリ装置の実施の形態について、図面を参照して説明する。

【0024】実施の形態1

図1は、本発明の強誘電体薄膜素子の製造方法を用いて作製し、かつ後述の電気特性を評価するための強誘電体薄膜素子を示している。この強誘電体薄膜素子は、n型シリコン基板1の表面に、層間絶縁膜として膜厚200nmのシリコン熱酸化膜2を形成し、その上に、接着層として膜厚30nmのTa膜3を形成し、さらに、膜厚200nmのPt膜による下部電極4、膜厚200nmの $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 薄膜（以、SBT薄膜と称す）による強誘電体薄膜5、膜厚100nmのPt膜による上部電極6を、それぞれ順次形成した構造である。

【0025】以下に、図1に示す強誘電体薄膜素子の製造方法について説明する。まず、n型シリコン基板1の表面を1000℃で熱酸化することによって、基板表面に、膜厚が200nmのシリコン熱酸化膜2を形成した。そして、このシリコン熱酸化膜2上に、膜厚が30nmのTa膜3をスパッタ法により形成し、さらにこの

上に、厚さが200nmのPt膜による下部電極を形成し、これを強誘電体薄膜形成基板として用いた。

【0026】次いで、この強誘電体薄膜形成基板上に、強誘電体薄膜5としてSBT薄膜を形成した。SBT薄膜は、図2に示したように、前駆体溶液の合成及びこの前駆体溶液を用いて基板上にSBT薄膜を形成する一連の工程により形成した。まず、前駆体溶液合成の出発原料として、タンタルエトキシド( $\text{Ta}(\text{OC}_2\text{H}_5)_3$ )を秤量し(ステップS1)、このタンタルエトキシドを2-エチルヘキサネート中に溶解させ(ステップS2)、

反応を促進させるため、100℃から最高温度120℃まで加熱しながら攪拌し、30分間反応させた(ステップS3)。

【0027】次いで、120℃で反応によって生成したエタノールと水分を除去する。その溶液に、キシレンに溶解させたストロンチウム-2-エチルヘキサネート( $\text{Sr}(\text{C}_2\text{H}_5)_2\text{COO}$ )を、組成比が $\text{Sr}/\text{Ta}=0.8/2.0$ になるように適量加え(ステップS4)、125℃から最高温度140℃で30分加熱攪拌した(ステップS5)。

【0028】その後、この溶液に、キシレンに溶解させたビスマス-2-エチルヘキサネート( $\text{Bi}(\text{C}_2\text{H}_5)_2\text{COO}$ )を、前駆体溶液組成比が $\text{Sr}/\text{Bi}/\text{Ta}=0.8/2.2/2.0$ になるように適量加え(ステップS6)、130℃から最高温度150℃で10時間加熱攪拌した(ステップS7)。続いて、この溶液から低分子量のアルコールと水と溶媒として使用したキシレンを除去するために、130℃~150℃の温度で5時間蒸留し、さらに、溶液からダストを除去するために、0.45μm径のフィルタで濾過した(ステップS8)。その後、溶液の $\text{Sr}_{0.8}\text{Bi}_{2.2}\text{Ta}_{2.0}\text{O}_{9.8}$ の濃度を0.1mol/lに調整し、これを前駆体溶液とした(ステップS9)。

【0029】次いで、上述した下部電極4が形成された強誘電体薄膜形成基板上に、上記前駆体溶液を滴下し、20秒間3000rpmでスピン塗布した(ステップS10)。その後、基板を120℃に加熱したホットプレートに載置し、5分間大気中でベークして乾燥させた(ステップS11)。その際、乾燥を均一に進ませるために温度範囲を100~130℃とすることが好ましく、最適な乾燥温度は120℃程度である。これは、この温度範囲より高い温度、例えば150℃で乾燥を行った場合、後述の塗布乾燥を繰り返す段階で膜応力によりクラックが発生するので、それを防止するためである。続いて、完全に溶媒を揮発させるため、ウェハを250℃に加熱したホットプレートに載置し、5分間大気中で焼成する(ステップS12)。この温度は溶媒の沸点以上であって、工程時間の短縮のため230℃~260℃程度の温度で行うことが好ましい。この成膜工程を3回繰り返し、膜厚200nmのSBT薄膜を成膜した。

【0030】次に、第1焼成としてRTAを用いて、1~760Torr酸素雰囲気中、600℃で30分の熱処理を行った(ステップS13)。この第1焼成においては、塗布乾燥された薄膜中に含まれる有機物の熱分解除去と同時に、強誘電体の結晶化が行われる。その後、EB(electron beam)蒸着法により、膜厚100nmのPtによる上部電極6をマスク蒸着した(ステップS14)。本実施の形態では、強誘電体特性評価用に用いるため、上部電極6を100μmφの電極とした。

【0031】続いて、第2焼成として、RTA法を用い、大気圧酸素雰囲気中650℃で、30秒間焼成を行った(ステップS15)。この第2焼成は、結晶化したSBT薄膜のグレイン間の凹部に入り込んだ上部電極材料を収縮させる等の効果により、リークを抑制するために必要である。以上の工程により、強誘電体薄膜素子の作製を完了した(ステップS16)。

【0032】上述の工程において、第1焼成後のSBT薄膜のX線回折パターンを測定した。その回折パターンを図3に示す。図3において、a、b、c、dはそれぞれ第1焼成圧力が760Torr、20Torr、3Torr、1Torrのものである。また、図3において、横軸は回折角度 $2\theta$ (deg.)であり、縦軸は回折強度(任意強度)であるが、縦軸ではそれぞれの第1焼成圧力について回折強度0となる位置を移動させて表示したものである。そして、図3中、SBT(008)、SBT(105)、SBT(110)、SBT(0010)及びSBT(200)は $\text{SrBi}_2\text{Ta}_2\text{O}_{10}$ 、(SBT)による回折ピーク、Siはシリコン基板による回折ピーク、 $\delta\text{-TaO}$ (001)及び $\delta\text{-TaO}$ (002)は $\delta$ 相TaOによる回折ピーク、 $\text{Bi}_2\text{Pt}$ はPt電極へのBiの拡散で生成した $\text{Bi}_2\text{Pt}$ によるピーク、Ptは下部電極による回折ピークを表すものである。

【0033】図3によれば、760TorrではSBTピークが非常にブロードになっており、アモルファスライクな膜になっているものと考えられる。一方、3~20TorrではSBTの多結晶ピーク(SBT(008)、SBT(105)、SBT(110)、SBT(0010)、SBT(200))が現れている。1TorrではSBTのピークはなく、TaOと $\text{Bi}_2\text{Pt}$ のピークが確認された。よって、この解析結果から、第1焼成の雰囲気ガス圧力が3~20Torrの範囲の場合に、結晶化したSBT薄膜が得られたことがわかる。

【0034】次に膜の表面モフォロジーをSEMで観察した。図4は3Torrで第1焼成を行った膜の表面SEM写真である。全体に粒径50~200nmの結晶粒が存在する。20Torrでアニールした膜は部分的に結晶粒が存在しており、760Torrのときはほとんど構造はなくアモルファスライクになっている。すなわち、大気圧(760Torr)では、上記従来プロセス

にあるように800℃程度の高温が結晶化のために必要であることがわかる。また、1 Torrでの膜は結晶粒は存在するものの、非常にポーラスであった。以上の結果により、圧力の低下に伴いアモルファスライクな部分は減り、結晶化が進行しているのがわかる。

【0035】図5、図6は上述の製造工程により得られた膜の第1焼成圧力に対する強誘電体特性を示すグラフである。強誘電特性の測定は、図1に示すタイプのキャパシタに対して、公知のソーヤタワー回路を用いて、印加電圧を3Vとして行ったものである。SBT薄膜の残留分極Prは、第1焼成圧力の低下に伴い増加し、3 Torrで10.7  $\mu\text{C}/\text{cm}^2$ の値が得られている。また、SBT薄膜の抗電界Ecは、第1焼成圧力の低下に伴い増加し、3 Torrで52.3 kV/cmの値が得られている。ただし、1 Torrで第1焼成した膜は、リーク電流が大きく強誘電性は測定できなかった。また、第1焼成を550℃、3 Torrで行った場合には、SBT薄膜は結晶化していなかった。従って、結晶化には600℃以上の温度が必要である。

#### 【0036】比較例1

上記実施の形態1の比較例として、図7に示した一連の工程により、図1と同様の構造を有する強誘電体薄膜素子を、その電気特性の評価のため作製した。なお、強誘電体薄膜形成基板の形成は実施の形態1と同様に行った。また、図7に示した工程のうち、実施の形態1と同様の工程は同じステップ番号を付した。また、前駆体溶液の組成は、実施の形態1と同様、Sr/Bi/Ta = 0.8/2.2/2.0である。

【0037】本比較例における強誘電体薄膜素子の製造において、前述の実施の形態1と異なる点は、SBT薄膜形成時の第2焼成である。すなわち、前述の第1の実施の形態では、第2焼成を大気圧酸素雰囲気中で650℃、30秒間行った（ステップS15）のに対し、比較例のものでは3 Torr酸素雰囲気中で600℃、30分間行った（ステップS21）。なお、比較例の第1焼成は大気圧（760 Torr）酸素雰囲気中で行った。

【0038】上記比較例における第1焼成後のSBT薄膜のX線回折パターンを測定し、図8に示した。図8によれば、第1焼成後はピークはブロードで、SBT薄膜はアモルファスライクであることを示していた。従って、本比較例ではSBT薄膜の結晶化は第2焼成によってなされたものであることがわかる。次に、第2焼成後のSBT薄膜の表面モフォロジーをSEMで観察し、図9に示した。全体に粒径150～300 nmの結晶粒が存在する。これは、第2焼成時間が実施の形態1に比べて長く、粒成長が進んだためと思われる。

【0039】図10は得られた膜のヒステリシスループである。強誘電特性の測定は、上記実施の形態1と同様に、図1に示すタイプのキャパシタに対して、公知のソーヤタワー回路を用いて、印加電圧を3Vとして行った

ものである。このとき、残留分極Prは11  $\mu\text{C}/\text{cm}^2$ 、抗電界Ecは48 kV/cmであり、実施の形態1において、第1焼成を3 Torr酸素雰囲気中で行った場合とほぼ同等の値であった。

【0040】以上のように、本発明の強誘電体薄膜の製造方法によれば、従来技術に記載の方法での、前駆体溶液を塗布乾燥した後、膜中の有機物成分を熱分解除去するためのRTA加熱処理工程（工程（3））を省略して、塗布乾燥工程を数回繰り返して所定の膜厚とし、その後、第1の熱処理工程として、1気圧より低いガス圧力雰囲気中にて加熱を行うことによって膜中の有機物を熱分解除去すると同時に結晶化ができた。さらに、上部電極形成後の第2焼成（工程（5））の温度を650℃まで下げると共に、焼成時間を30秒と大幅に短縮できた。すなわち、従来方法よりもプロセスの簡略化と短時間化、そして成膜温度の低温化が可能となる。さらに、焼成時間の短縮により結晶粒子の粗大化を抑制して緻密になり、微細加工にも適することから、より高密度デバイスの作製が実現できる。

#### 20 【0041】実施の形態2

本発明による強誘電体メモリセルを図11(d)に示す。この強誘電体メモリセルは、素子分離酸化膜39を有する第1導電型シリコン基板54の上に形成されたゲート酸化膜40、サイドウォールスペーサ44を有するポリシリコンワード線42、シリコン基板54表面に形成された第2導電型不純物拡散領域41とからなるトランジスタと、このトランジスタ上に形成されたTiNによるバリアメタル層46、Ptによる下部電極47、強誘電体薄膜48及びPtプレート線49とからなる強誘電体キャパシタとから構成されている。トランジスタと強誘電体キャパシタとの間には、層間絶縁膜43、Ta<sub>2</sub>O<sub>5</sub>、バリア絶縁膜50及び層間絶縁膜51が配設されており、トランジスタと強誘電体キャパシタとはコンタクトブラグ45を介して接続されている。また、強誘電体キャパシタ上には層間絶縁膜52が形成されており、その上に、トランジスタの第2導電型不純物拡散領域41に接続されたA1ビット線53が形成されている。

【0042】以下に、上記強誘電体メモリの製造方法について、図面に基いて説明する。まず図11(a)に示したように、第1導電型シリコン基板54の上にゲート酸化膜40、サイドウォールスペーサ44を有するポリシリコンワード線42、第2導電型不純物拡散領域41とからなるスイッチ用トランジスタを公知のMOSFET形成工程により形成し、層間絶縁膜43で覆う。その後、不純物拡散領域41上の所望の領域に、公知のホトリソグラフィ法とドライエッチング法を用いてコンタクトホールを形成し、このコンタクトホールに不純物拡散したポリシリコンを埋め込んだ後、公知のCMP（Chemical Metal Polishing）法により、コンタクトブラグ45を形成するとともに、層間絶縁膜43とコンタクト



プラグ45表面を平坦化する。次に、バリアメタル層46としてTiNを公知のスパッタ法により膜厚200nm堆積した後、Pt薄膜を公知のスパッタ法により膜厚100nm堆積して下部電極47を形成する。この下部電極47上に強誘電体薄膜48としてSBT薄膜を、実施の形態1で示した図2のステップS1～ステップS13と同様の方法により形成する。そして、第1焼成後のSBT薄膜、下部電極47及びTiNバリアメタル層46を公知のホトリソグラフィ法とドライエッチング法を用いて、3.0μm角の大きさにパターンニングする。ドライエッチングにはECRエッチャーを用い、使用したガス種は、SBT薄膜エッチング用にはAr、Cl<sub>2</sub>及びCF<sub>4</sub>の混合ガス、Pt下部電極エッチング用にはC<sub>2</sub>F<sub>6</sub>、CHF<sub>3</sub>及びCl<sub>2</sub>の混合ガス、TiNバリアメタルエッチング用にはCl<sub>2</sub>ガスであった。この時、SBT薄膜およびPt薄膜は非常に緻密で平坦であるので、精密な微細加工が可能であり、CDロスは0.1μm以下に抑えることができる。

【0043】次に、図11(b)に示したように、SBT薄膜上全面に、膜厚30nmのTa<sub>2</sub>O<sub>5</sub>バリア絶縁膜50を公知のスパッタ法を用いて堆積し、続いて、層間絶縁膜51として膜厚150nmのシリコン酸化膜を公知のCVD法にて堆積する。そして、SBT薄膜上部に公知のホトリソグラフィ法とドライエッチング法を用いて、2.0μm角のコンタクトホールを形成する。

【0044】次いで、図11(c)に示したように、前述したコンタクトホールを含む領域上に膜厚100nmのPt薄膜を公知のスパッタ法により形成し、公知のホトリソグラフィ法とドライエッチング法を用いて加工してPtプレート線49とした。そして、得られた基板を、第2の熱処理として、RTA法を用いて大気圧素子雰囲気中で650℃で30秒間熱処理した。このSBT薄膜は非常に平滑で緻密であり、強誘電体キャパシタの形状を損ねることはなかった。また、SBT薄膜の膜厚を測定したところ、200nmであった。

【0045】その後、公知のCVD法と平坦化技術を用いて層間絶縁膜52を堆積して平坦化を行い、公知のホトリソグラフィ法とドライエッチング法を用いてスイッチ用トランジスタのもう一方の不純物拡散領域41へのコンタクトホールを形成し、公知のAl配線技術を用いてビット線53を形成し、図11(d)に示したように強誘電体メモリセルを完成する。

【0046】このようにして作製した強誘電体メモリセルの電気特性を公知のソーヤタワー回路を用いて測定した。図12は、印加電圧を3Vで測定した時のヒステリシスループを示すグラフである。ヒステリシスループの形状は良好で、残留分極Prは5μC/cm<sup>2</sup>、抗電界Ecは30kV/cm(0.6V)の値が得られており、強誘電体キャパシタとして十分な動作が確認された。なお、実施の形態1に比べて特性が劣っているの

は、エッチング等のプロセスダメージによると考えられるが、強誘電体メモリセルとして十分に実用化することができる。また、印加電圧3Vでのリーク電流の値は、 $5 \times 10^{-8} \text{ A/cm}^2$ であり、強誘電体キャパシタとして十分な特性が確認された。

【0047】図13は、電圧3V、周波数1MHzのバルスを印加して繰り返し分極反転を行った場合の繰り返し分極反転回数に対する蓄積電荷量ΔQの変化をプロットしたグラフである。2×10<sup>11</sup>サイクルの分極反転後も蓄積電荷量に全く変化は見られず、不揮発性メモリとして良好な特性を示すものである。

【0048】

【発明の効果】本発明の強誘電体薄膜の製造方法によれば、従来から行われていた前駆体溶液を塗布乾燥した後、膜中有機物成分の熱分解除去工程であるRTA加熱処理工程を省略し、塗布乾燥工程を数回繰り返して所定の膜厚とし、その後、第1熱処理工程を1気圧より低いガス圧力雰囲気中にて行うので、強誘電体薄膜中の有機物の熱分解除去と同時に結晶化を行うことができ、従来行われていたプロセスを簡略化するとともに、短時間化することができ、さらに、成膜温度の低温化が可能となる。また、焼成時間を短縮することにより、強誘電体薄膜中の結晶粒子の粗大化を抑制して緻密化して微細加工を可能にすることができることから、より高密度デバイスの作製が実現できる。

【0049】また、本発明の製造方法により形成された強誘電体薄膜素子及びこの素子を用いた強誘電体メモリ装置においては、強誘電体薄膜が緻密化するため、リーク電流の低減等を図ることができ、非常に優れた強誘電体特性を有する素子及び装置を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の強誘電体薄膜素子の実施例を示す要部の概略断面図である。

【図2】本発明の強誘電体薄膜素子の製造工程の一部を示す工程図である。

【図3】図2の製造方法で形成した強誘電体薄膜素子のSBT薄膜の第1焼成の雰囲気ガス圧力(第1焼成圧力)に対する膜のX線回折パターンを示す図である。

【図4】図2の製造方法で第1焼成圧力を3 Torrとして製造したSBT薄膜の表面SEM写真である。

【図5】図2の製造方法で形成した強誘電体薄膜素子の第1焼成圧力に対する残留分極Prの変化を示すグラフである。

【図6】図2の製造方法で形成した強誘電体薄膜素子の第1焼成圧力に対する抗電界Ecの変化を示すグラフである。

【図7】比較例の強誘電体薄膜素子の製造工程の一部を示す工程図である。

【図8】図7の製造方法で形成したSBT薄膜のX線回

折パターンを示す図である。

【図9】図7の製造方法で製造したSBT薄膜の表面SEM写真である。

【図10】比較例の強誘電体素子に3Vの電圧を印加したときのヒステリシスループを示すグラフである。

【図11】本発明の強誘電体メモリ装置の製造工程を示す工程図である。

【図12】図11の強誘電体メモリ装置に3Vの電圧を印加したときのヒステリシスループを示すグラフである。

【図13】図11の強誘電体メモリ装置の疲労特性を示すグラフである。

【符号の説明】

- 1、54 シリコン基板  
2 シリコン熱酸化膜  
3 Ta膜

\* 4 下部電極

5、48 強誘電体薄膜

6 上部電極

39 素子分離酸化膜

40 ゲート酸化膜

41 不純物拡散領域

42 ポリシリコンワード線

43、51、52 層間絶縁膜

44 サイドウォールスペーサ

10 45 コンタクトプラグ

46 バリアメタル層

47 下部電極

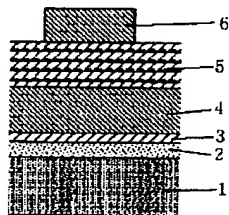
49 プレート線

50 バリア絶縁膜

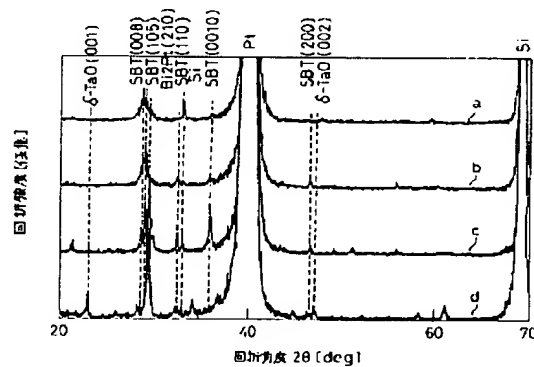
53 ビット線

\*

【図1】

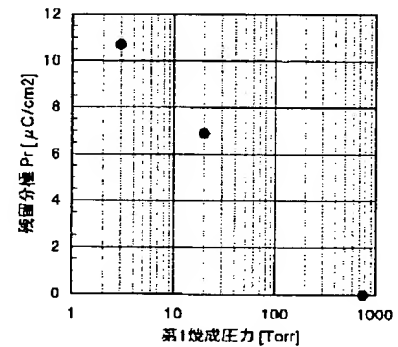


【図3】

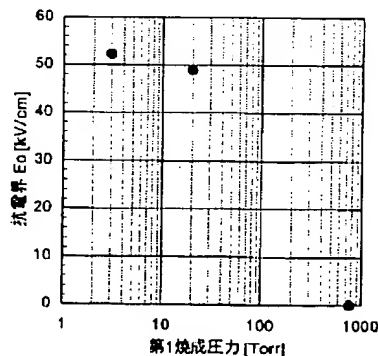


a 750 Torr  
b 20 Torr  
c 3 Torr  
d 1 Torr

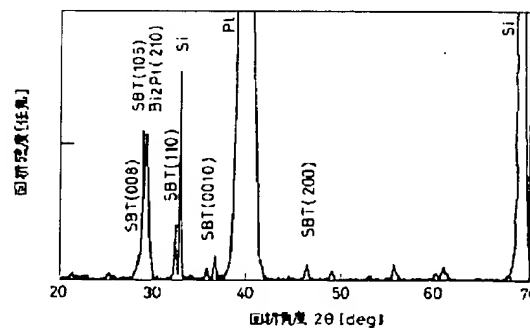
【図5】



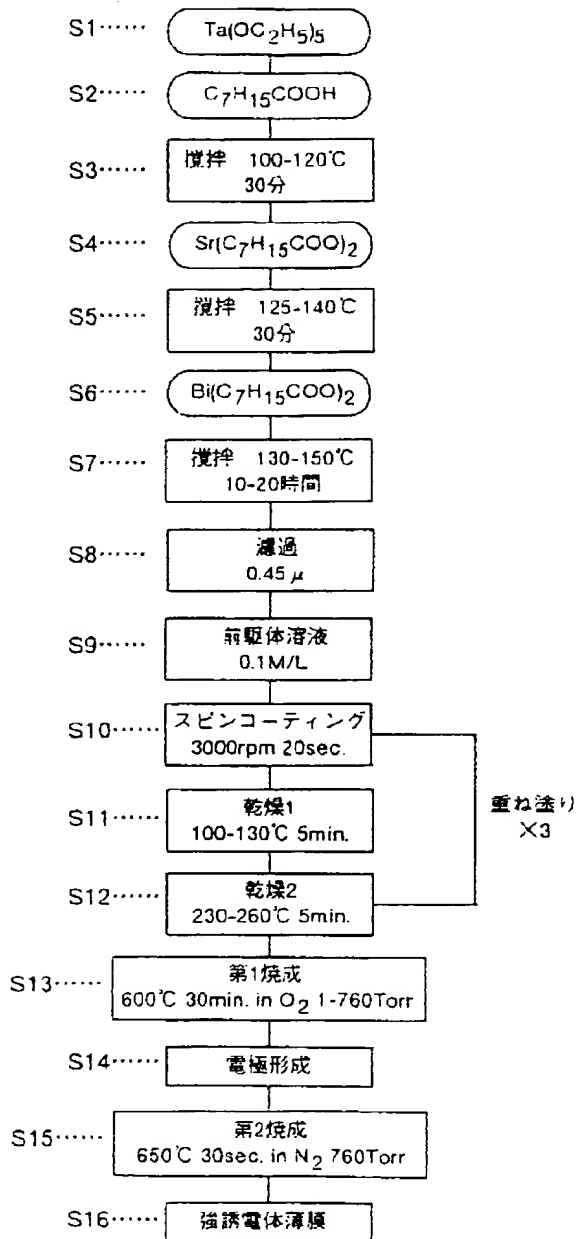
【図6】



【図8】

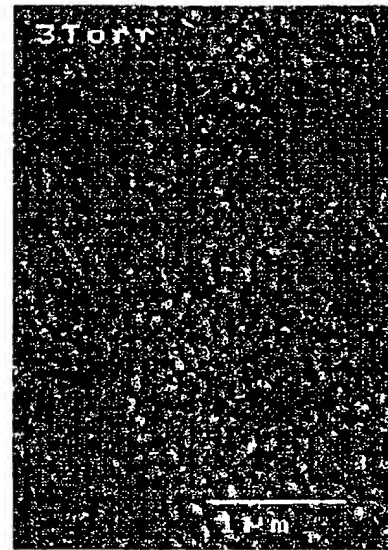


【図2】



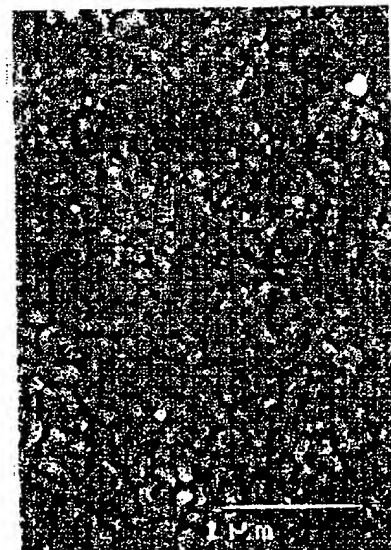
【図4】

図面代用写真

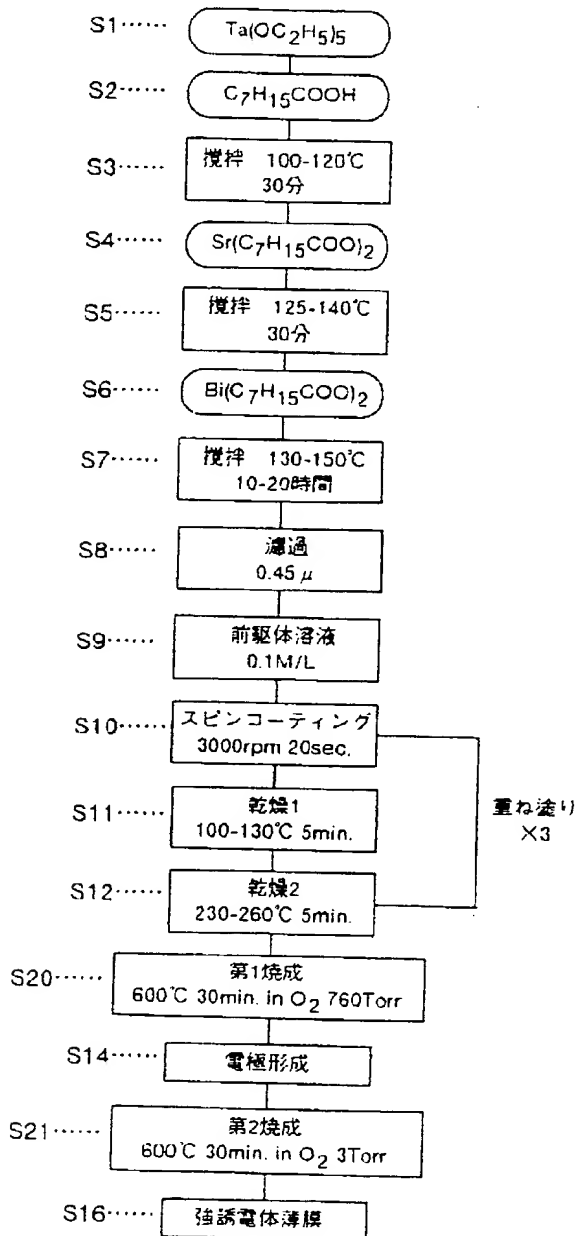


【図9】

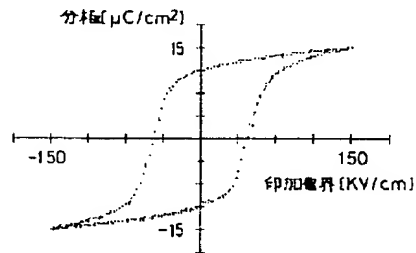
図面代用写真



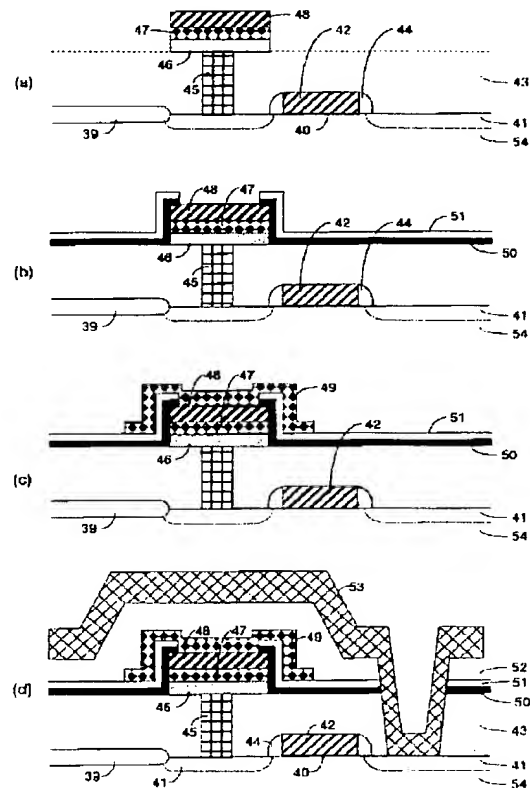
【図7】



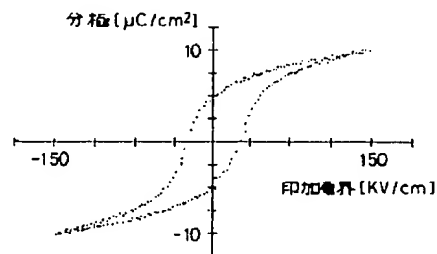
【図10】



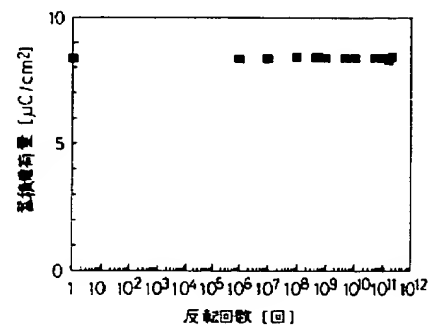
【図11】



【図12】



【図13】




---

フロントページの続き

(51)Int.Cl.<sup>5</sup>

識別記号

F 1

H 0 1 L 21/8247

29/788

29/792